

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-160555

(43)Date of publication of application : 12.06.2001

(51)Int.Cl.

H01L 21/316

H01L 21/318

(21)Application number : 11-376170

(71)Applicant : OMI TADAHIRO

(22)Date of filing : 30.11.1999

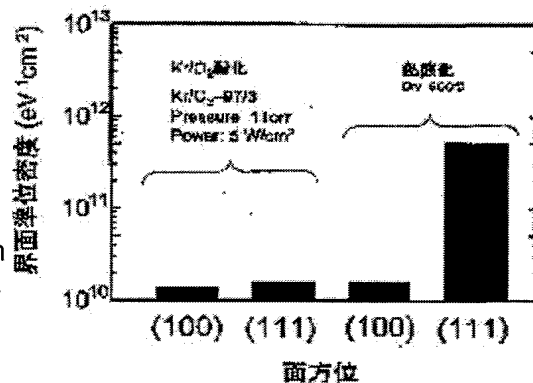
(72)Inventor : OMI TADAHIRO
SUGAWA SHIGETOSHI
SEKINE KATSUYUKI
SAITO YUJI

(54) SEMICONDUCTOR DEVICE USING SILICON HAVING (111) PLANE DIRECTION AND ITS FABRICATION METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a high-quality silicon film and silicon nitride film which are adapted to a transistor formed on the silicon having a (111) plane direction on its surface.

SOLUTION: A semiconductor device containing a plurality of transistors in the silicon layer having mainly a (111) plane direction on its surface that is provided on the silicon substrate having a (111) plane direction on its surface or on the upper part of at least one metallic layer via an insulating film. At least, a part of the insulating film formed on the surface of the silicon is a silicon oxide film containing Kr or a silicon nitride film containing Ar or Kr.



LEGAL STATUS

[Date of request for examination]

14.06.2006

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-160555
(P2001-160555A)

(43) 公開日 平成13年6月12日 (2001. 6. 12)

(51) Int.Cl. ⁷	識別記号	F I	デマコト* (参考)
H 0 1 L	21/316	H 0 1 L	21/316
	21/318		21/318
			Λ 5 F 0 5 8
			Λ

審査請求 未請求 請求項の数 8 書面 (全 19 頁)

(21) 出願番号	特願平11-376170	(71) 出願人	000205041 大見 忠弘 宮城県仙台市青葉区米ヶ袋 2-1-17-301
(22) 出願日	平成11年11月30日 (1999. 11. 30)	(72) 発明者	大見 忠弘 宮城県仙台市青葉区米ヶ袋 2-1-17-301
		(72) 発明者	須川 成利 宮城県仙台市青葉区荒巻字青葉05 東北大学大学院工学研究科電子工学専攻内
		(72) 発明者	関根 克行 宮城県仙台市青葉区荒巻字青葉05 東北大学大学院工学研究科電子工学専攻内

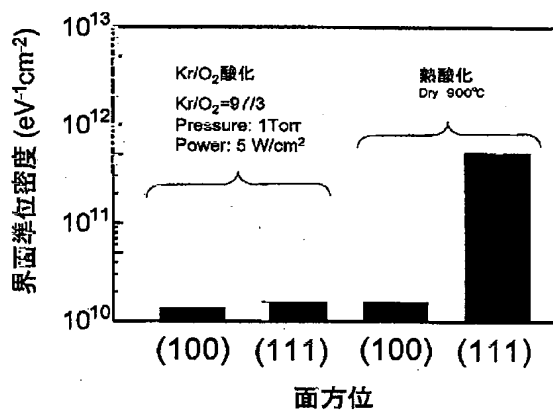
最終頁に続く

(54) 【発明の名称】 111面方位を表面に有するシリコンを用いた半導体装置およびその形成方法

(57) 【要約】

【目的】 1 1 1 面方位のシリコンをその表面に有するシリコンに形成されるトランジスタに適応される高品質なシリコン酸化膜、シリコン窒化膜を提供する。

【構成】 1 1 1 面方位のシリコンをその表面に有するシリコン基体、または少なくとも1層の金属層上方に絶縁膜を介して設けられた1 1 1 面方位をその表面に主体に有するシリコン層にトランジスタを複数含む半導体装置において、前記シリコンの表面に形成された絶縁膜の少なくとも一部がK rを含有するシリコン酸化膜ないしはA rまたはK rを含有するシリコン窒化膜であることを特徴とする。



(2) 001-160555 (P2001-160555A)

【特許請求の範囲】

【請求項1】111面方位のシリコンをその表面に有するシリコン基体にトランジスタを複数含む半導体装置において、前記シリコンの表面に形成された絶縁膜の少なくとも一部がKrを含有するシリコン酸化膜ないしはArまたはKrを含有するシリコン窒化膜であることを特徴とする半導体装置。

【請求項2】少なくとも1層の金属層上方に絶縁膜を介して設けられた111面方位をその表面に主体に有するシリコン層にトランジスタを複数含む半導体装置において、前記シリコン層の表面に形成された絶縁膜の少なくとも一部がKrを含有するシリコン酸化膜ないしはArまたはKrを含有するシリコン窒化膜であることを特徴とする半導体装置。

【請求項3】前記絶縁膜中に含有されるKrまたはArの含有量が、絶縁膜表面からシリコン・絶縁膜界面に向かって減少していることを特徴とする請求項1から請求項2に記載の半導体装置。

【請求項4】前記絶縁膜中のKrまたはArの含有量が表面密度において $5 \times 10^{11} \text{ cm}^{-2}$ 以下であることを特徴とする請求項1から請求項3に記載の半導体装置。

【請求項5】前記Krを含有する請求項1から請求項2に記載のシリコン酸化膜は、処理室中に酸素を含むガスとKrガスを主体とするガスを導入し、マイクロ波により、プラズマを励起して、処理室内に載置されたシリコン基体表面を直接酸化することにより、111面方位または前記面方位を主体とするシリコン表面に形成されることを特徴とするシリコン酸化膜の形成方法。

【請求項6】前記ArまたはKrを含有する請求項1から請求項2に記載のシリコン窒化膜は、処理室中に窒素を含むガスとArまたはKrガスを主体とするガスを導入し、マイクロ波により、プラズマを励起して、処理室内に載置されたシリコン表面を直接窒化することにより、111面方位または前記面方位を主体とするシリコン表面に形成されることを特徴とするシリコン窒化膜の形成方法。

【請求項7】シリコン酸化膜またはシリコン窒化膜を絶縁膜に使用したメモリ素子を有する半導体装置において、前記絶縁膜の一部が111面方位または前記面方位を主体とするシリコン表面に形成されたArまたはKrを含有する絶縁膜であることを特徴とする半導体装置。

【請求項8】少なくとも1層の金属層上方に絶縁膜を介して設けられたシリコン層にトランジスタを複数含む半導体装置上に、111面方位のシリコンをその表面に有するシリコン層にトランジスタを複数含む半導体装置が少なくとも1層積層された半導体装置において、前記シリコン層の表面に形成された絶縁膜の少なくとも一部がKrを含有するシリコン酸化膜ないしはArまたはKrを含有するシリコン窒化膜であることを特徴とする半導

体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、111面方位のシリコンをその表面に有するシリコンに形成されるトランジスタを複数含む半導体装置およびその形成方法に係る。

【0002】

【従来の技術】MIS（金属／絶縁膜／シリコン）トランジスタのゲート絶縁膜には、低リーク電流特性、低界面準位密度、高ホットキャリア耐性などの高性能電気特性、高信頼性が要求される。これらの要求を満たすゲート絶縁膜形成技術として、従来は、800℃以上の熱酸化技術が用いられてきた。この熱酸化技術を使用して、良好な酸化膜／シリコン界面特性、酸化膜の耐圧特性、リーク電流特性が得られるのは、従来、表面が100面方位に配向したシリコンを用いたときであった。100以外の他の面方位に配向したシリコンに熱酸化技術を使用したゲート酸化膜を形成しても、100面方位に配向したシリコンのシリコン酸化膜に比べて、酸化膜／シリコン界面の界面準位密度が高く、また酸化膜の耐圧特性、リーク電流特性が悪いなど電気的特性が劣ってしまっていた。また、MISトランジスタのモビリティに関しても100面方位に配向したシリコンを使用したときが良く、他の面方位のシリコンでは高い駆動力のあるMISトランジスタを作成できなかった。

【0003】

【発明が解決しようとする課題】しかしながら、10GHzオーダーの高速動作素子を実現するためには、信号を減衰させることなく伝播させたりクロストークを抑制させたりするために、半導体基体に金属材料を導入する必要があるが、550℃以上の高温プロセスを用いると金属と半導体が反応を起こすことによって素子の動作性能が劣化してしまうという問題や、また、不純物が再拡散することによって正確な不純物分布の形成が難しくなり、微細な高速素子の形成が困難となるという問題が発生し、800℃以上の熱酸化技術が使用できないという課題が生じていた。

【0004】また、さらにトランジスタの駆動能力を向上させるには、シリコンの面密度が高い111面配向のシリコンを使用しかつ、シリコン酸化膜よりも誘電率の高い薄いゲート絶縁膜を用いることが要求されるが、従来、界面準位が低く、耐圧の高い良質な電気特性を有する高誘電率絶縁膜を111面配向のシリコンに低温で形成する方法はなかった。

【0005】また、シリコン基体に形成されるトランジスタ集積素子のシャロートレンチアイソレーション素子分離構造においては、熱酸化技術によりシリコン酸化膜を形成した場合、素子分離側壁部の角に近い部分のシリコン酸化膜が、平坦なシリコン表面部のシリコン酸化膜より薄膜化したり、質が劣化したりして漏れ電流や耐圧

(3) 001-160555 (P2001-160555A)

などの特性が劣り、素子の信頼的な性能を劣化させるという問題が発生していた。これは、100面配向したシリコンを使用したとき素子分離側壁部の角の主たる部分が111面配向していることにも原因している。こうした問題を解決しようとして、従来は素子分離領域側壁部のシリコン表面に対する角度を約70度以下のテーパを設けた形状にして、側壁部の角のシリコン酸化膜の薄膜化を軽減していた。しかしながら、この場合においても約30%以上の薄膜化が生じ、この薄膜化した部分における酸化膜の漏れ電流や耐圧などの特性劣化の発生を完全には防止できていなかった。また、さらには、なだらかなテーパ角を持った凹形状の素子分離領域を形成することで、素子分離幅が広くなり、トランジスタなどの素子を形成する有効な領域の面積的比率が低下し、高密度集積化が図れないという問題が生じていた。

【0006】さらに、絶縁膜上に形成されたポリシリコンなどのシリコン層は111面に主として安定して配向する性質を持つが、従来の熱酸化法ではこうしたポリシリコン上に良質なシリコンゲート酸化膜を形成することが困難であった。したがって、絶縁膜上に形成されたシリコン層に、高性能な半導体素子を形成することができず、絶縁膜上の高性能はシリコン素子を複数重ね合わせた3次元集積回路素子を実現することも困難であった。

【0007】よって、以上述べた課題を克服するための、従来の熱酸化技術に代わる111面配向のシリコンにも適応可能な550℃以下の低温での高品質な絶縁膜形成技術が求められている。

【0008】

【課題を解決するための手段】本発明は、係る従来の課題を解決するためになされたものであり、111面方位のシリコンをその表面に有するシリコン基体にトランジスタを複数含む半導体装置において、前記シリコンの表面に形成された絶縁膜の少なくとも一部がKrを含有するシリコン酸化膜ないしはArまたはKrを含有するシリコン窒化膜であることを特徴とする。また、少なくとも1層の金属層上方に絶縁膜を介して設けられた111面方位をその表面に主体に有するシリコン層にトランジスタを複数含む半導体装置において、前記シリコン層の表面に形成された絶縁膜の少なくとも一部がKrを含有するシリコン酸化膜ないしはArまたはKrを含有するシリコン窒化膜であることを特徴とする。

【0009】

【作用】本発明によれば、550℃以下の低温のプラズマ酸化で成膜したにも関わらず、1000℃程度の高温で成膜したシリコン熱酸化膜より優れた特性、信頼性を有するシリコン酸化膜を111面配向のシリコン（ポリシリコンを含む）上に形成することが可能となり、高性能なトランジスタ集積回路を実現できる。

【0010】また、本発明によれば、1000℃程度の高温で成膜したシリコン熱酸化膜と同程度の優れた特

性、信頼性を有するシリコン窒化膜を550℃以下の低温で111面配向のシリコン（ポリシリコンを含む）上に形成することが可能となり、高誘電率ゲート絶縁膜をもった高性能なトランジスタ集積回路を実現できる。

【0011】また、本発明によれば、シャロートレンチアイソレーションなどの素子分離側壁部の主に111面配向した角部分にも高品質なシリコン酸化膜、シリコン窒化膜を形成することが可能となり、酸化膜の漏れ電流や耐圧などの特性が良好になり、素子の電気的特性、信頼性の向上を実現でき、素子分離幅を狭くした高密度な素子集積化が可能となる。

【0012】さらに、強誘電メモリー素子、フラッシュメモリー素子などの高品質で安定で高信頼性を求められるゲート絶縁膜にも適応される。

【0013】さらに、本発明によれば、絶縁膜上に形成されたポリシリコンなどの主として111面に配向するシリコンに高品質なシリコンゲート酸化膜、シリコンゲート窒化膜を形成することが可能となり、高駆動能力を有するポリシリコントランジスタ、さらにはトランジスタ、機能素子を複数積層した3次元集積回路素子を実現することもできる。

【0014】

【実施例】以下に、本発明の実施例をあげて詳細に説明する。

【0015】

【実施例1】まずは、プラズマを用いた低温の酸化膜形成について述べる。図1は、本発明の酸化方法を実現するための、ラジアルラインスロットアンテナを用いた装置の一例を示す断面図である（特許願9-133422参照）。本実施例においては、酸化膜形成時のためにKrをプラズマ励起ガスとして使用していることに新規な特徴がある。真空容器（処理室）101内を真空にし、シャワープレート102からKrガス、O₂ガスを導入し、処理室内の圧力を1 Torr程度に設定する。シリコンウェハ等の円形状の基板103を、加熱機構を持つ試料台104に置き、試料の温度が400度になるように設定する。この温度設定は200-550度の範囲内で以下に述べる結果はほとんど同様のものとなる。同軸導波管105から、ラジアルラインスロットアンテナ106、誘電体板107を通して、処理室内に、2.45 GHzのマイクロ波を供給し、処理室内に高密度のプラズマを生成する。また、供給するマイクロ波の周波数は、900 MHz以上10 GHz以下の範囲にあれば以下に述べる結果はほとんど同様のものとなる。シャワープレート102と基板103の間隔は、本実施例では6 cmにしてある。この間隔は狭いほうがより高速な成膜が可能となる。本実施例では、ラジアルラインスロットアンテナを用いたプラズマ装置を用いて成膜した例を示したが、他の方法を用いてマイクロ波を処理室内に導入してもよい。

(4) 001-160555 (P2001-160555A)

【0016】KrガスとO₂ガスが混合された高密度励起プラズマ中では、中間励起状態にあるKr*とO₂分子が衝突し、原子状酸素O*が効率よく発生する。この原子状酸素により、基板表面は酸化される。従来の、シリコン表面の酸化は、H₂O分子、O₂分子により行われ、処理温度は、800℃以上と極めて高いものであったが、本発明の原子状酸素による酸化は、550℃以下と十分に低い温度で可能とある。Kr*とO₂の衝突機会を大きくするには、処理室圧力は高い方が望ましいが、あまり高くすると、発生したO*同志が衝突し、O₂分子に戻ってしまう。当然、最適ガス圧力が存在する。図2に、処理室内の圧力比を、Kr 97%酸素3%に保って、処理室のガス圧を変えたときの、シリコン基板温度400度、10分間の酸化処理により成長する酸化膜厚を示す。処理室のガス圧が1 Torrの時に最も酸化膜は厚くなり、この圧力ないしはその近傍の酸化条件が最適である。この最適圧力は基板シリコンの面方位が100面でも111面でも変わらない。

【0017】図3には、Kr/O₂高密度プラズマを用いたシリコン基板表面酸化時の酸化膜厚と酸化時間の関係を示す。シリコン基板は面配向100面と111面のものを示している。図3には同時に従来の900℃のドライ熱酸化による酸化時間依存性を示している。基板温度400度、処理室内圧力1 TorrにおけるKr/O₂高密度プラズマ酸化の酸化速度は、基板温度1000度の大気圧ドライO₂酸化の酸化速度より、速いことが明らかである。Kr/O₂高密度プラズマを用いたシリコン基板表面酸化を導入する事により、表面の酸化技術の生産性も大幅に向上させる。従来の高温熱酸化技術では、表面に形成された酸化膜をO₂分子やH₂O分子が拡散によって通り抜け、シリコン/シリコン酸化膜の界面に到達して酸化に寄与するため、酸化速度は、O₂や、H₂O分子の酸化膜の拡散速度により律速され、酸化時間tに対して、 $t^{1/2}$ で増加するのが常識であったが、本発明のKr/O₂高密度プラズマ酸化では、酸化膜厚が、35 nmまで、酸化速度は直線的である。これは原子状酸素の拡散速度がシリコン酸化膜中が極めて大きく、シリコン酸化膜を自在に通り抜けられることを意味する。

【0018】また、面方位依存に関しては、従来の900℃ドライ熱酸化では111面方位シリコンの方が100面方位シリコンよりも酸化膜の成長速度が速いが、Kr/O₂高密度プラズマ酸化では、逆に111面方位シリコンの方が100面方位シリコンよりも成長速度が遅い。本来111面方位の方が100面よりもシリコンの面密度が多いので、酸素ラジカルの供給量が同じであれば酸化速度は111面の方が100面よりも遅くなる。Kr/O₂高密度プラズマを用いたシリコン基板表面酸化では、この通りになっており、111面にも100面同様緻密な酸化膜が形成されているといえる。一方、従

来の熱酸化では、111面の酸化速度の方が100面よりも早く、111面の酸化膜が100面に比べ疎であることを示している。

【0019】図4は、上記の手順で形成されるシリコン酸化膜中のKr密度の深さ方向分布を、全反射蛍光X線分光装置を用いて調べたものである。100面、111面とも同様の結果である。Kr中の酸素の分圧3%、処理室内の圧力1 Torr、基板温度400度で行った。Kr密度は、酸化膜厚が薄い領域になるほど減少し、シリコン酸化膜表面では $2 \times 10^{11} \text{ cm}^{-2}$ 程度の密度でKrが存在する。すなわち、このシリコン膜は、膜厚が4 nm以上の膜中のKr濃度は一定で、シリコン/シリコン酸化膜の界面に向かって、Kr濃度は減少している膜である。

【0020】図5は、酸化膜の界面単位密度を、低周波C-V測定から求めた結果である。シリコン酸化膜の形成は図1に示した装置を用いて、基板温度400度で成膜した。希ガス中の酸素の分圧は3%、処理室内の圧力は1 Torrに固定した。比較のために、900度酸素100%の雰囲気中で成膜した熱酸化膜の界面単位密度も同時に示す。Krガスを用いて成膜した酸化膜の界面単位密度は、100面、111面とも低く、900℃のドライ酸化雰囲気中で成膜した100面に形成した熱酸化膜の界面単位密度と同等である。111面に形成した熱酸化膜の界面単位密度はこれらに比べ1桁以上大きい。これは次のような機構によると考えられる。酸化中には、酸化膜側からみると、100面ではシリコンの結合手が2本、111面ではシリコンの結合手が1本と3本交互に現れる。従来の熱酸化では、111面において、3本のシリコンの結合手に酸素が結合するとそのシリコンの後ろ側の結合手が伸びてウイークボンドになったり、切れてダングリングボンドになったりして界面単位が増加してしまう。KrとO₂の混合ガス的高密度励起プラズマ酸化では、中間励起状態にあるKr*とO₂分子が衝突し原子状酸素O*が効率よく発生し、この原子状酸素がウイークボンドやダングリングボンドのところに効率よく達してシリコン-酸素の新たな結合をつくることで、111面においても界面単位を低減すると考えられる。

【0021】図6は、シリコン酸化膜成膜雰囲気におけるKr中での酸素の分圧と、シリコン酸化膜の絶縁耐圧、および、成膜されたシリコン酸化膜中の界面単位密度の関係である。このとき、処理室内の圧力は1 Torrで固定した。100面、111面とも同様の結果である。Kr中の酸素分圧が3%のとき、界面単位密度は最小となり、熱酸化膜中での界面単位密度と同等の値が得られる。また、シリコン酸化膜の絶縁耐圧も、酸素分圧3%付近で最大となる。このことから、Kr/O₂混合ガスを用いて酸化を行うときの、酸素分圧は2-4%が好適である。

!(5) 001-160555 (P2001-160555A)

【0022】図7は、シリコン酸化膜成膜時の圧力と、シリコン酸化膜の絶縁耐圧、界面順位密度の関係である。このとき、酸素の分圧は3%とした。100面、111面とも同様の結果である。成膜時の圧力が1 Torr付近で、シリコン酸化膜の絶縁耐圧は最大値をとり、界面順位密度は最小値をとる。このことから、Kr/O₂ 混合ガスを用いて酸化膜を形成する場合、成膜時の圧力は、800-1200 mTorrが最適である。

【0023】この他、酸化膜の耐圧特性、リーク特性、ホットキャリア耐性、ストレス電流を流したときのシリコン酸化膜が破壊に至るまでの電荷量QBD (Charge-to-Breakdown) などの電気的特性、信頼性的特性に関して、Kr/O₂ 高密度プラズマを用いたシリコン基板表面酸化による酸化膜は、900℃の熱酸化と同様の良好な特性が得られた。

【0024】上述したように、Kr/O₂ 高密度プラズマにより成長した酸化膜は、400℃という低温で酸化しているにもかかわらず、100面、111面とも、従来の100面の高温熱酸化膜と同等ないしはより優れた特性を示している。こうした効果が得られるのは、酸化膜中にKrが含まれることにも起因している。酸化膜中にKrが含まれることにより、膜中やSi/SiO₂ 界面でのストレスが緩和され、膜中電荷や界面準位密度が低減され、シリコン酸化膜の電気的特性が大幅に改善されるためと考えられる。特に、図4に示されるように、表面密度において $5 \times 10^{11} \text{ cm}^{-2}$ 以下のKrを含むことがシリコン酸化膜の電気的特性、信頼性的特性の改善に寄与していると考えられる。

【0025】このゲート酸化膜を使用したMISトランジスタを作成し、チャネルモビリティの面方位依存を測定したところ、111面方位のシリコンに作成したトランジスタのチャネルモビリティは100面方位のそれに比べN型P型とも劣化がほとんどなかった。

【0026】本発明の酸化膜を実現するためには、図1の装置の他に、プラズマを用いた低温の酸化膜形成を可能とする別のプラズマプロセス用装置を使用してもかまわない。たとえば、マイクロ波によりプラズマを励起するためのKrガスを放出する第1のガス放出手段と、酸素ガスを放出する前記第1のガス放出手段とは異なる第2のガス放出手段をもつ2段シャワープレート型プラズマプロセス装置で形成することも可能である。

【0027】

【実施例2】次に、プラズマを用いた低温の窒化膜形成について述べる。窒化膜形成装置は図1と同じである。本実施例においては、窒化膜形成時のためにArまたはKrをプラズマ励起ガスとして使用する。真空容器(処理室)101内を真空にし、シャワープレート102からArガス、NH₃ガスを導入し、処理室内の圧力を100 mTorr程度に設定する。シリコンウェハ等の円形状の基板103を、加熱機構を持つ試料台104に置

き、試料の温度が500度になるように設定する。この温度設定は200-550度の範囲内で以下に述べる結果はほとんど同様のものとなる。同軸導波管105から、ラジアルラインスロットアンテナ106、誘電体板107を通して、処理室内に、2.45 GHzのマイクロ波を供給し、処理室内に高密度のプラズマを生成する。また、供給するマイクロ波の周波数は、900 MHz以上10 GHz以下の範囲にあれば以下に述べる結果はほとんど同様のものとなる。シャワープレート102と基板103の間隔は、本実施例では6 cmにしてある。この間隔は狭いほうがより高速な成膜が可能となる。本実施例では、ラジアルラインスロットアンテナを用いたプラズマ装置を用いて成膜した例を示したが、他の方法を用いてマイクロ波を処理室内に導入してもよい。本実施例では、プラズマ励起ガスにArを使用しているが、Krを用いても同様の結果を得ることができる。また、本実施例では、プラズマプロセスガスにNH₃を用いているが、N₂とH₂などの混合ガスを用いても良い。

【0028】ArまたはKrとNH₃(またはN₂、H₂)の混合ガスの高密度励起プラズマ中では、中間励起状態にあるAr* またはKr* により、NH* ラジカルが効率よく発生する。このNH* ラジカルにより、基板表面は窒化される。これまで、シリコン表面の直接窒化の例の報告はなく、プラズマCVD法などにより窒化膜の形成が行われており、トランジスタのゲート膜に使える高品質な膜は得られていなかった。しかし本実施例のシリコン窒化によれば、シリコンの面方位を選ばず、100面でも111面でも、低温で高品質な窒化膜を形成することが可能となる。

【0029】本発明のシリコン窒化膜形成においては、水素が存在することがひとつの重要な要件である。プラズマ中に水素が存在することにより、シリコン窒化膜中および界面のダングリングボンドがSi-H、N-H結合を形成して終端され、その結果シリコン窒化膜および界面の電子トラップが無くなる。Si-H結合、N-H結合が本発明の窒化膜に存在することはそれぞれ赤外吸収スペクトル、X線光電子分光スペクトルを測定することで確認されている。水素が存在することで、CV特性のヒステリシスも無くなり、シリコン/シリコン窒化膜界面密度も $3 \times 10^{10} \text{ cm}^{-2}$ と低く抑えられる。希ガス(ArまたはKr)とN₂/H₂の混合ガスを使用してシリコン窒化膜を形成する場合には水素ガスの分圧を0.5%以上とすることで、膜中の電子や正孔のトラップが急激に減少する。

【0030】図8は、上述の手順で作成したシリコン窒化膜厚の圧力依存性である。Ar:NH₃の分圧比は9:2、成膜時間は30分である。窒化の成長速度は圧力を下げて、希ガス(ArまたはKr)がNH₃(またはN₂/H₂)に与えるエネルギーを増やした方が速く

(6) 001-160555 (P2001-160555A)

なる。窒化の効率化の観点からは、ガス圧力は50～100mTorrが好ましい。また、希ガス中のNH₃（またはN₂/H₂）の分圧は1～10%の範囲が良く、さらに好ましくは2～6%が良い。

【0031】本実施例のシリコン窒化膜の誘電率は7.9であり、シリコン酸化膜の約2倍のものが得られた。

【0032】図9に、本実施例のシリコン窒化膜の電圧特性を示す。これはAr/N₂/H₂ガスを用いて、Ar:N₂:H₂の分圧比を93:5:2として4.2nmのシリコン窒化膜（誘電率換算酸化膜2.1nmに相当）を成膜したときのものであり、熱酸化膜2.1nmと比較している。1V印加時でシリコン酸化膜より4桁以上も低いリーク電流特性が得られており、ゲート酸化膜使用時の微細化限界を突破するトランジスタの作成が可能となる。

【0033】上述した成膜条件、物性的・電気的特性は、シリコンの面方位によらず、100面でも111面でも、同様に良好である。これは、酸化膜中にSi-H結合、N-H結合だけでなくArまたはKrが含まれることにも関係し、窒化膜中やシリコン/窒化膜界面でのストレスが緩和され、シリコン窒化膜中の固定電荷や界面準位密度が低減されて、電気的特性、信頼性的特性が大幅に改善される。特に、図4に示されたシリコン酸化膜の場合と同様に、表面密度において5×10¹¹cm⁻²以下のArまたはKrを含むことがシリコン窒化膜の電気的特性、信頼性的特性の改善に寄与していると考えられる。

【0034】このゲート窒化膜を使用したMOSTランジスタを作成し、チャネルモビリティの面方位依存を測定したところ、111面方位のシリコンに作成したトランジスタのチャネルモビリティは100面方位のそれと比べN型P型とも劣化がほとんどなかった。

【0035】本発明の窒化膜を実現するためには、図1の装置の他に、プラズマを用いた低温の酸化膜形成を可能とする別のプラズマプロセス用装置を使用してもかまわない。たとえば、マイクロ波によりプラズマを励起するためのArまたはKrガスを放出する第1のガス放出手段と、NH₃（またはN₂/H₂ガス）ガスを放出する前記第1のガス放出手段とは異なる第2のガス放出手段をもつ2段シャワープレート型プラズマプロセス装置で形成することも可能である。

【0036】

【実施例3】次に、ゲート絶縁膜にプラズマを用いた低温の酸化膜と窒化膜の2層構造を使用した実施例を説明する。酸化膜、窒化膜形成装置は図1と同じである。本実施例においては、酸化膜および窒化膜形成のためにKrをプラズマ励起ガスとして使用した。まず、真空容器（処理室）101内を真空にし、シャワープレート102からKrガス、O₂ガスを導入し、処理室内の圧力を1Torr程度、シリコンウェハの温度が450度にな

るように設定する。そして、同軸導波管105から、ラジアルラインスロットアンテナ106、誘電体板107を通して、処理室内に、2.45GHzのマイクロ波を供給し、処理室内に高密度のプラズマを生成し、シリコン表面に1nmのシリコン酸化膜を形成した。次に、マイクロ波の供給を一時停止した後、Krガス、O₂ガスを導入を止め、真空容器（処理室）101内を排気してから、シャワープレート102からKrガス、NH₃ガスを導入し、処理室内の圧力を100mTorr程度に設定し、再び2.45GHzのマイクロ波を供給し、処理室内に高密度のプラズマを生成して、シリコン表面に2nmのシリコン窒化膜を形成した。

【0037】この積層ゲート絶縁膜の界面準位は図5に示したものと同様に低く、また、実効的な誘電率は約6.7となった。他、リーク電流特性、耐圧特性、ホットキャリア耐性などの電気的特性、信頼性的特性も優れたものであった。シリコンの面方位依存も見られず、100面、111面とも優れた特性のゲート絶縁膜を形成できた。このようにして、酸化膜の低界面準位特性と窒化膜の高誘電率特性を兼ね備えたゲート絶縁膜を実現できた。

【0038】この酸化膜/窒化膜の積層ゲート絶縁膜を使用したMISTランジスタを作成し、チャネルモビリティの面方位依存を測定したところ、111面方位のシリコンに作成したトランジスタのチャネルモビリティは100面方位のそれと比べN型P型とも劣化がほとんどなかった。

【0039】本実施例では、シリコン側に酸化膜を形成する酸化膜・窒化膜の2層構成を示したが、目的に応じて酸化膜・窒化膜の順序を入れ替えたり、また酸化膜/窒化膜/酸化膜、窒化膜/酸化膜/窒化膜などのさらに複数の積層膜を形成することも可能である。

【0040】

【実施例4】図10(a)にシャロートレンチアイソレーションの概念図を示す。このシャロートレンチアイソレーションは、シリコン基板1003表面をプラズマによりエッチングし、エッチングの後のシリコン基板表面にCVD法により形成されたシリコン酸化膜1002を成膜し、さらに、形成されたシリコン酸化膜を平坦化エッチング、例えばCMP法を用いて研磨することにより形成される。研磨後に、シリコン基板を800～900度の酸化性の雰囲気中にさらすことにより、犠牲酸化を行い、犠牲酸化により形成されたシリコン酸化膜をフッ酸を含む薬液中でエッチングし、高純度のシリコン表面を得る。その後、基板表面をRCA洗浄などを用いて洗浄し、ゲート絶縁膜1001を約4nm形成する。100面のシリコンを用いてゲート絶縁膜成膜工程に従来の熱酸化法を適用した場合、形成条件（Dry酸化かWet酸化か、または形成温度）によらず、図16(b)に示したように、シャロートレンチアイソレーションの角部

(7) 001-160555 (P2001-160555A)

1004 (111面方向を向いたシリコンの部分)で、シリコン酸化膜の薄膜化が発生した。しかし、実施例1の手順により Kr/O_2 を用いてシリコン酸化膜を形成した本発明の場合は、図16(c)に示すように、シャロートレンチアイソレーションの角部1005で、シリコン酸化膜の薄膜化が起こらなかった。本発明の酸化においては原子状酸素が角部1005付近にも効率よく達しているためと考えられる。この Kr を用いたプラズマ酸化により形成されたシャロートレンチアイソレーション部分を含めた全体のシリコン酸化膜のQBD (Charge to Breakdown) 特性は、非常に良好で、注入電化量 $10^2 C/cm^2$ まで破壊を起こさず、デバイスの信頼性を大幅に改善した。また、従来の熱酸化法で成膜したシリコン酸化膜は、シャロートレンチアイソレーションのテーパ角が大きくなるに従って、シャロートレンチアイソレーション角部での薄膜化が激しくなるが、本発明の Kr を用いたプラズマ酸化では、テーパ角が大きくなっても、シャロートレンチアイソレーション角部での薄膜化が起こらない。シャロートレンチアイソレーションのテーパ角をあげることにより、素子分離領域の面積が減少するため、半導体素子のさらなる集積度向上が可能となる。従来の熱酸化などの技術では約70度のテーパ角が用いられていたが、本発明によれば、90度の角度にしても良好な特性が得られ、トランジスタの集積度を従来に比べ約2倍に改善することができた。

【0041】また、実施例2の手順により、 Ar/NH_3 を用いてシリコン窒化膜を100面シリコンに形成した場合にも、111面方向を向いたシャロートレンチアイソレーション角部に高品質な薄膜化のないシリコン窒化膜を形成することができ、非常に良好な電気的特性を示し、デバイスの高信頼性を保つことができた。これは本発明の窒化においては、酸化と同様ラジカルの挙動が重要な要件となっており、 NH_3 ラジカルが角部1005付近にも効率よく達するためと考えられる。シリコン窒化膜の厚さを4nm (シリコン酸化膜厚誘電率換算2nm) としても良好な電気的特性を得ることができ、4nmのシリコン酸化膜を使用したときよりもトランジスタの駆動能力を約2倍上げることができた。

【0042】

【実施例5】次に、強誘電体メモリ素子を作成した実施例を説明する。図11は本発明の強誘電体メモリ素子の概略断面図である。1101はシリコン基板内に形成されたPウェル、1102、1102'はN型トランジスタのソースドレイン、1103は、実施例2の手順に沿って400℃で Ar/NH_3 プラズマにより形成された厚さ5nmのゲートシリコン窒化膜、1104はN型トランジスタのポリシリコンゲート、1105は実施例2の手順に沿って Ar/NH_3 プラズマにより400℃で形成された厚さ5nmのシリコン窒化膜、1106は厚

さ150nmの $SrTaNbO$ 強誘電体膜、1107はPt電極である。1106の強誘電膜は $Sr:Ta:Nb$ が1:0.7:0.3になるようにスパッタ成膜したあと、実施例1の手順に沿って、400℃で Kr/O_2 プラズマ酸化して $Sr_2(Ta_{0.7}Nb_{0.3})_2O_7$ の組成となるように形成した。また、ソース・ドレイン領域を形成するためのイオン注入はゲート酸化膜を通さずに行い、400℃で電気的活性化して形成した。ゲート長は0.35μmである。

【0043】 $SrTaNbO$ 膜は誘電率が約40程度であり、従来から、ゲート絶縁膜としてシリコン酸化膜を用いても、強誘電体メモリ素子の書き込み電圧を比較的下げられるといった利点が知られていた。本実施例では、本発明ではじめて可能となる Ar/NH_3 プラズマによるシリコン窒化膜1103をゲート絶縁膜に使用しており、シリコンゲート酸化膜を使用したときに比べ、ゲート絶縁膜の誘電率が約2倍となっているために、メモリ書き込み電圧をさらに約1.9分の1に低減することが可能になった。また、従来は、ポリシリコンと $SrTaNbO$ 膜の間に IrO のような拡散防止層を使う例が主であったが、 Ir が下地の半導体素子の電気的特性に悪影響を及ぼすという問題が生じていた。本実施例では、本発明で初めて可能となる Ar/NH_3 プラズマによるシリコン窒化膜1105を主に111配向しているポリシリコンゲート1104上に低温で形成することができた。このシリコン窒化膜は緻密で高品質であり、下地の半導体素子に悪影響を及ぼすことはもちろんなく、かつ高い拡散防止性能を持っている。さらにまた、従来は、 $SrTaNbO$ 膜はゾルゲル法+高温(900℃以上)アニールにより形成されることが多く、膜内組成の不均一性、高温化の拡散による素子特性の劣化といった問題が起こり、膜の耐リーク特性も不十分であった。本実施例では、本発明で初めて可能となる Kr/O_2 プラズマによる低温の酸化により、 $Sr:Ta:Nb$ の組成比が正確に1:0.7:0.3になるようにスパッタされた膜を酸化することで、均一性の優れた、元素の拡散の起こらない、リーク電流特性も優れた $Sr_2(Ta_{0.7}Nb_{0.3})_2O_7$ を形成することができた。

【0044】この強誘電体メモリ素子を2次元に複数配置して作成した強誘電体メモリ素子は、従来に比べ約1/2弱の低電圧書き込み動作性、約2倍の高速駆動特性、約100倍の長時間保持特性、多数回書き換え特性を示した。

【0045】また、本実施例の強誘電体メモリ素子はすべて400℃程度で形成可能であり、金属層をシリコン基板の中に有するSOIトランジスタ、金属配線が形成された後に作成される絶縁膜状のポリシリコントランジスタを使用して形成することも可能である。

【0046】

(8) 001-160555 (P2001-160555A)

【実施例6】次に、フラッシュメモリ素子を作成した実施例を説明する。図12は本発明のフラッシュメモリ素子の概略断面図である。1201はシリコン基板内に形成されたPウェル、1202、1202'はN型トランジスタのソースドレイン、1203は、実施例2の手順に沿って400℃でAr/NH₃プラズマにより形成された厚さ6nmのゲートシリコン酸化膜、1204はフローティングポリシリコンゲート、1205は実施例2の手順に沿ってAr/NH₃プラズマにより400℃で形成された厚さ4nmのシリコン酸化膜、1206は制御用ポリシリコンゲートである。ソース・ドレイン領域を形成するためのイオン注入はゲート酸化膜を通さずに行い、400℃で電気的活性化して形成した。ゲート長は0.25μmである。

【0047】本実施例では、本発明ではじめて可能となるAr/NH₃プラズマによるシリコン窒化膜をゲート絶縁膜1203および主に111配向しているフローティングポリシリコンゲート1204上の絶縁膜1205に低温で形成することができた。このシリコン窒化膜1203および1205は緻密で高品質であり、優れたリーク特性をもっており、メモリ保持時間を従来より1桁以上伸ばすことができた。また、シリコンゲート窒化膜1203は優れたホットキャリア耐性を持ち、従来のシリコン酸化膜を使用していたときに比べ書き換え可能回数を約1桁以上増やすことができた。またシリコン窒化膜1205はゲート窒化膜1203よりも薄膜化しても良好な電気的特性を持ち、その結果メモリ書き込み電圧を低減することが可能になった。

【0048】このフラッシュメモリ素子を2次元に複数配置して作成したフラッシュメモリ素子は、従来に比べ約1/1.3の低電圧高速書き換え動作性、約2倍の高速駆動特性、約100倍以上の長時間保持特性、多数回書き換え特性を示した。

【0049】また、本実施例のフラッシュメモリ素子はすべて400℃程度で形成可能であり、金属層をシリコン基板の中に有するSOIトランジスタ、金属配線が形成された後に作成される絶縁膜状のポリシリコントランジスタを使用して形成することも可能である。

【0050】

【実施例7】図1の装置を用いた、Kr/O₂マイクロ波励起高密度プラズマによるゲート酸化、Ar（またはKr）/NH₃（またはN₂/H₂）マイクロ波励起高密度プラズマによるゲート窒化は、従来のような高温工程を用いることができない金属基板SOIウェハ上の集積デバイス作成に適応できる。特に、トランジスタの駆動能力が向上する、シリコンの面密度が高い111面配向のシリコンを半導体層に用いた金属基板SOIウェハ上の集積デバイス作成に最適である。

【0051】図13は、金属基板SOI上に作製されたMOSトランジスタの断面図である。1301は、n

+、p+低抵抗半導体、1302は、NiSiなどのシリサイド層、1303は、Ta₂N₅、TiNなどの導電性窒化物層、1304はCu等の金属層、1305はTa₂N₅、TiNなどの導電性窒化物層、1306はn+、p+低抵抗半導体層、1307は、AlN、Si₃N₄等の窒化物絶縁膜、1308はSiO₂膜、1309は、SiO₂、BPSGもしくはそれらを組み合わせた絶縁膜層、1310はn+ドレイン領域、1311は、n+ソース領域、1312はp+ドレイン領域、1313は、p+ソース領域、1314、1315は111面に配向したシリコン半導体層、1316は本発明の実施例1の手順によりKr/O₂マイクロ波励起高密度プラズマで形成されたSiO₂膜、1317、1318はTa、Ti、Ta₂N₅/Ta、TiN/Ti、等で形成されるnMOSのゲート電極ならびに、pMOSのゲート電極、1319はnMOSソース電極、1320はnMOSおよびpMOSのドレイン電極である。1321はpMOSのソース電極である。1322は基板表面電極である。Ta₂N₅やTiNで保護された、Cu層を含む基板では、Cuの拡散を抑えるために、熱処理温度は、700度以下でなければならない。n+、p+ソース・ドレイン領域は、As⁺、AsF₅⁺、BF₃⁺イオン注入後、550度の熱処理で形成する。これまで、700度以下で高品質の酸化膜を形成する技術が存在しなかったが、本発明のKr/O₂マイクロ波励起高密度プラズマ酸化により、初めて、図20に示す金属基板SOI LSIが作成可能となったのである。

【0052】このデバイス構造を用いて、ゲート絶縁膜に熱酸化膜を用いた場合とKrを用いたプラズマ酸化でゲート絶縁膜を形成した場合のトランジスタのサブスレッショールド特性の比較を行うと、ゲート絶縁膜を熱酸化により形成した場合、サブスレッショールド特性には、キंक、リークが観察されるが、ゲート絶縁膜をKrを用いたプラズマ酸化で形成した場合には、サブスレッショールド特性は良好であった。

【0053】また、メサ型素子分離構造をもちいると、メサ素子分離の側壁部にはシリコン平面部とは別の面方位のシリコンが現れるが、Krを用いたプラズマ酸化によりゲート絶縁膜を形成することで、メサ素子分離側壁部の酸化も平面部と同様にほぼ均一に行うことができ、良好な電気的特性、高い信頼性を得ることができた。

【0054】また、実施例2の手順により、Ar/NH₃を用いて形成したシリコン窒化膜をゲート絶縁膜に使用した場合にも、非常に良好な電気的特性、高い信頼性を持った金属基板SOI LSIを作成することができた。本実施例においても、シリコン窒化膜の厚さを4nm（シリコン酸化膜厚誘電率換算2nm）としても良好な電気的特性を得ることができ、4nmのシリコン酸化膜を使用したときよりもトランジスタの駆動能力を約2倍上げることができた。

:(9) 001-160555 (P2001-160555A)

【0055】

【実施例8】図14は、ガラス基板やプラスチック基板などの長方形基板に対して酸化、窒化を行うための、本発明の装置の一例を示す概念図である。真空容器（処理室）1407内を減圧状態にし、シャワープレート1401から Kr/O_2 混合ガスを導入し、ねじ溝ポンプ1402によって排気し、例えば処理室内の圧力を1 Torrに設定する。ガラス基板1403を、加熱機構を持つ試料台1404に置き、例えばガラス基板の温度が300度になるように設定する。方形導波管1405のスリットから、誘電体板1406を通して、処理室内にマイクロ波を供給し、処理室内に高密度のプラズマを生成する。シャワープレート1401は導波管から放射されたマイクロ波が、左右に表面波として伝搬する導波路の役割も兼ねている。

【0056】図15は、図14の装置を使用して本発明のゲート酸化膜またはゲート窒化膜を作成し、液晶表示素子、有機EL発光素子等の駆動・処理回路用のポリシリコンTFTを形成した実施例である。まずシリコン酸化膜を形成し使用した例を述べる。1501はガラス基板、1502は Si_3N_4 膜、1503は111面に主に配向したポリシリコンnMOSのチャネル層、1505、1506はそれぞれポリシリコンのnMOSのソース領域・ドレイン領域、1504は111面に主に配向したポリシリコンpMOSのチャネル層、1507、1508はそれぞれポリシリコンpMOSのソース領域・ドレイン領域である。1510はポリシリコンnMOSのゲート電極、1511はポリシリコンpMOSのゲート電極、1512は SiO_2 、BSG、BPSG等の絶縁膜、1513、1514はポリシリコンnMOSのソース電極（同時にポリシリコンpMOSのドレイン電極）、1515はポリシリコンpMOSのソース電極である。絶縁膜上に形成されるポリシリコンは絶縁膜に対して垂直方向に111面方位を向くときが安定であり、かつ緻密で結晶性が良く高品質なものとなる。本実施例では350℃で厚さ0.2 μm 形成した。1509は図14の装置を使用して実施例1と同様の手順で作成した本発明のシリコン酸化膜層であり、111面を向いたポリシリコン上に400℃で厚さ30nmを形成した。トランジスタ間の素子分離領域の角においても、酸化膜は薄くならず、平坦部・エッジ部ともに均一な膜厚のシリコン酸化膜がポリシリコン上に形成された。ソース・ドレイン領域を形成するためのイオン注入はゲート酸化膜を通さずに行い、400℃で電気的活性化して形成した。この結果全工程400℃以下でガラス基板上にトランジスタを形成できた。このトランジスタの移動度は、電子で300 $cm^2/Vsec$ 以上、正孔150 $cm^2/Vsec$ 以上、ソースドレイン耐圧およびゲート耐圧は12V以上あった。チャネル長1.5-2.0 μm 程度のトランジスタでは、100MHzを越える高速動作

が可能となった。シリコン酸化膜のリーク特性、ポリシリコン/酸化膜の界面準位特性も良好であった。

【0057】本実施例のトランジスタを使用することで液晶表示素子、有機EL発光素子は大画面、低価格、高速動作、高信頼性を持つことができるようになった。

【0058】

【実施例9】次に、金属層を有するSOI素子、ポリシリコン素子、アモルファスシリコン素子を積層した3次元積層LSIの実施例を説明する。図16は本発明の3次元LSIの断面構造の概念図である。図16において、1601は第1のSOIおよび配線層、1602は第2のSOIおよび配線層、1603は第1のポリシリコン素子および配線層、1604は第2のポリシリコン素子および配線層、1605はアモルファス半導体素子および機能材料素子および配線層である。

【0059】第1のSOIおよび配線層1601、第2のSOIおよび配線層1602には実施例7で説明したSOIトランジスタを用いてデジタル演算処理部、高精度高速アナログ部、シンクロナスDRAM部、電源部、インターフェース回路部などが作成される。第1のポリシリコン素子および配線層1603には実施例5、6、8で説明したポリシリコントランジスタ、強誘電体メモリ、フラッシュメモリを用いて並列デジタル演算部、機能ブロック間リピータ部、記憶素子部などが作成される。第2のポリシリコン素子および配線層1604には実施例8で説明したポリシリコントランジスタを用いてアンプ、AD変換器などの並列アナログ演算部が作成される。アモルファス半導体素子および機能材料素子および配線層1605には光センサ、音センサ、触覚センサ、電波送信受信部などが作成される。

【0060】アモルファス半導体素子および機能材料素子および配線層1605内に設けられた光センサ、音センサ、触覚センサ、電波送信受信部の信号は、第2のポリシリコン素子および配線層1604に設けられたポリシリコントランジスタを用いたアンプ、AD変換などの並列アナログ演算部で処理され、第1のポリシリコン素子および配線層1603、第2のポリシリコン素子および配線層1604に設けられたポリシリコントランジスタ、強誘電体メモリ、フラッシュメモリを用いた並列デジタル演算部、記憶素子部にその処理が繋がれ、第1のSOIおよび配線層1601、第2のSOIおよび配線層1602に設けられたSOIトランジスタを用いたデジタル演算処理部、高精度高速アナログ部、シンクロナスDRAM部で処理される。また、第1のポリシリコン素子および配線層1603に設けられた機能ブロック間リピータ部は、複数設けても大きなチップ面積を占有することなくLSI全体の信号同期を調整することができる。

【0061】こうした3次元LSIが作成可能になったのは、上記の実施例に詳細に説明した本発明の技術によ

(10) 01-160555 (P2001-160555A)

ることは明らかである。

【0062】

【発明の効果】以上詳細に説明したように、本発明によれば、550℃以下の低温のプラズマ酸化で成膜したにも関わらず、1000℃程度の高温で成膜したシリコン熱酸化膜より優れた特性、信頼性を有するシリコン酸化膜を111面配向のシリコン（ポリシリコンを含む）上に形成することが可能となり、高駆動力で、信頼性の高い、高性能なトランジスタ集積回路が実現できるようになった。

【0063】また、本発明によれば、1000℃程度の高温で成膜したシリコン熱酸化膜と同程度の優れた特性、信頼性を有するシリコン窒化膜を550℃以下の低温で111面配向のシリコン（ポリシリコンを含む）上に形成することが可能となり、高誘電率ゲート絶縁膜をもった高駆動力で、信頼性の高い、高性能なトランジスタ集積回路を実現できるようになった。

【0064】また、本発明によれば、シャロートレンチアイソレーションなどの素子分離側壁部の主に111面配向した角部分にも高品質なシリコン酸化膜、シリコン窒化膜を形成することが可能となり、酸化膜の漏れ電流や耐圧などの特性が良好になり、素子の電気的特性、信頼性の向上を実現できた。さらに、テーパ角を急峻にし素子分離幅を狭くすることで従来の約2倍の高密度な素子集積化が可能となった。

【0065】さらに、本発明のゲート絶縁膜を使用することで、低電圧で書き換え動作可能な強誘電メモリー素子、書き換え回数が圧倒的に増加可能なフラッシュメモリー素子などを実現することができた。

【0066】さらに、本発明によれば、絶縁膜上に形成されたポリシリコンなどの主として111面に配向するシリコンに高品質なシリコンゲート酸化膜、シリコンゲート窒化膜を形成することが可能となり、高駆動能力を有するポリシリコントランジスタ、さらには液晶表示素子、有機EL発光素子、多数の機能素子を複数積層した3次元集積回路素子を実現することができるようになった。

【0067】さらにまた、本発明のシリコン酸化膜、シリコン窒化膜形成方法が、基板温度200-500度といった低温で適応できるため、従来不可能であった金属基板SOI LSI、ガラス基板やプラスチック基板上の高性能ポリシリコンTFTの製造が可能となり、その技術的波及効果は大きい。

【図面の簡単な説明】

【図1】ラジアルラインスロットアンテナを用いたプラズマ装置の概念図。

【図2】酸化膜厚の処理室ガス圧力依存性。

【図3】酸化膜厚の酸化時間依存性。

【図4】シリコン酸化膜中のKr密度の深さ方向分布。

【図5】シリコン酸化膜の界面準位密度。

【図6】シリコン酸化膜成膜雰囲気におけるKr中での酸素の分圧と、シリコン酸化膜中の界面準位密度および絶縁耐圧の関係。

【図7】シリコン酸化膜成膜雰囲気における処理室内の全圧と、シリコン酸化膜中の界面準位密度および絶縁耐圧の関係。

【図8】窒化膜厚の処理室内ガス圧力依存性。

【図9】シリコン窒化膜の電流電圧特性。

【図10】シャロートレンチアイソレーションの概念的断面図。

【図11】強誘電体メモリー素子の断面構造の概略図。

【図12】フラッシュメモリー素子の断面構造の概略図。

【図13】金属基板SOI上に作製されたMOSTランジスタの断面構造の概略図。

【図14】ガラス基板やプラスチック基板などに適応されるプラズマ装置の概念図。

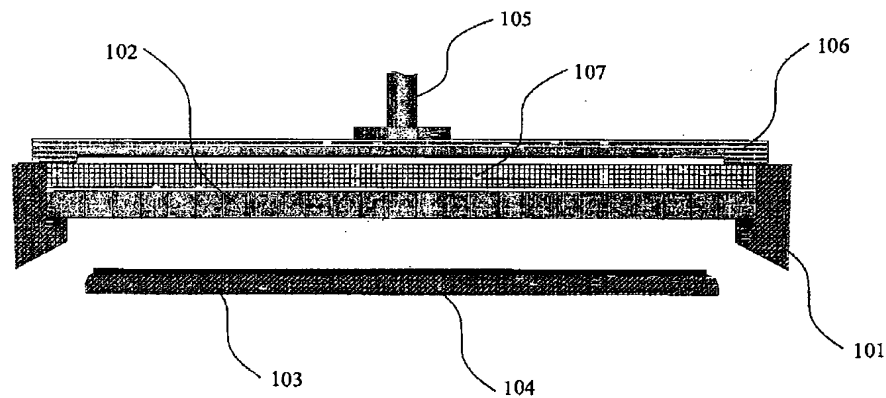
【図15】絶縁膜状のポリシリコントランジスタの断面構造の概略図。

【図16】3次元LSIの断面構造の概念図。

【符号の説明】

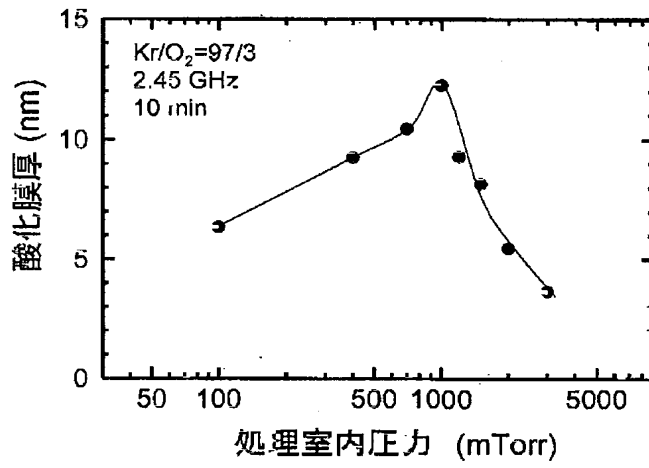
- | | |
|------------|-------------------------|
| 101 | 処理室 |
| 102 | シャワープレート |
| 103 | シリコンウェーハ |
| 104 | 加熱機構を持つ試料台 |
| 105 | 同軸導波管 |
| 106 | ラジアルラインスロットアンテナ |
| 107 | マイクロ波導入窓 |
| 1001 | ゲート絶縁膜 |
| 1002 | シリコン酸化膜 |
| 1003 | シリコン基板 |
| 1004 | 従来のシャロートレンチアイソレーションの角部 |
| 1005 | 本発明のシャロートレンチアイソレーションの角部 |
| 1101 | シリコン基板内に形成されたPウェル |
| 1102、1102' | トランジスタのソースドレイン |
| 1103 | ゲートシリコン窒化膜 |
| 1104 | トランジスタのポリシリコンゲート |
| 1105 | シリコン窒化膜 |
| 1106 | SrTaNbO強誘電体膜 |
| 1107 | Pt電極 |
| 1201 | シリコン基板内に形成されたPウェル |
| 1202、1202' | トランジスタのソースドレイン |
| 1203 | ゲートシリコン酸化膜 |
| 1204 | フローティングポリシリコンゲート |
| 1205 | シリコン酸化膜 |
| 1206 | 制御用ポリシリコンゲート |
| 1301 | n+、p+低抵抗半導体 |
| 1302 | シリサイド層 |
| 1303 | 導電性窒化物層 |

【図 1】

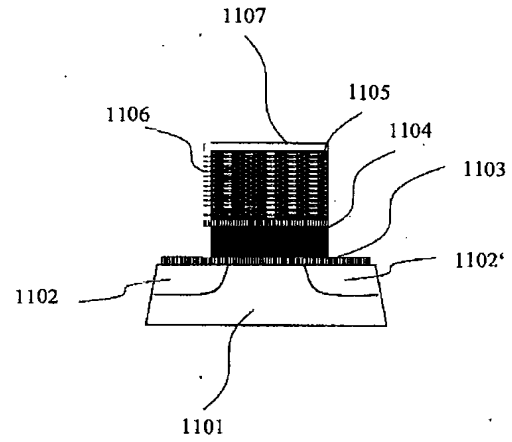


(註2) 01-160555 (P2001-160555A)

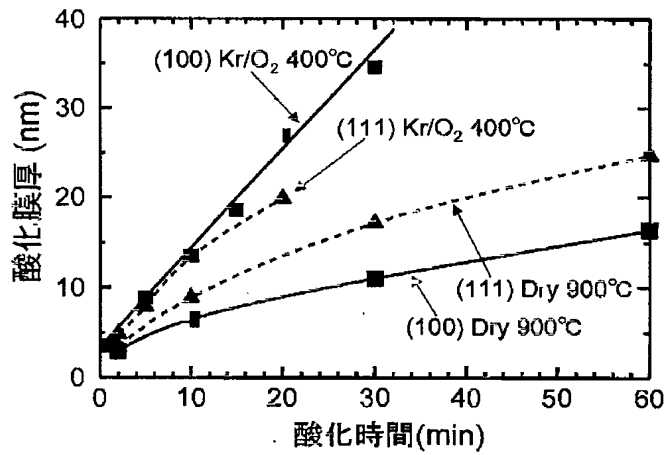
【圖2】



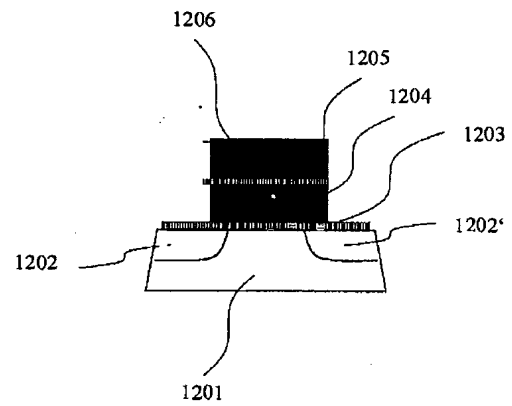
【圖11】



【圖3】

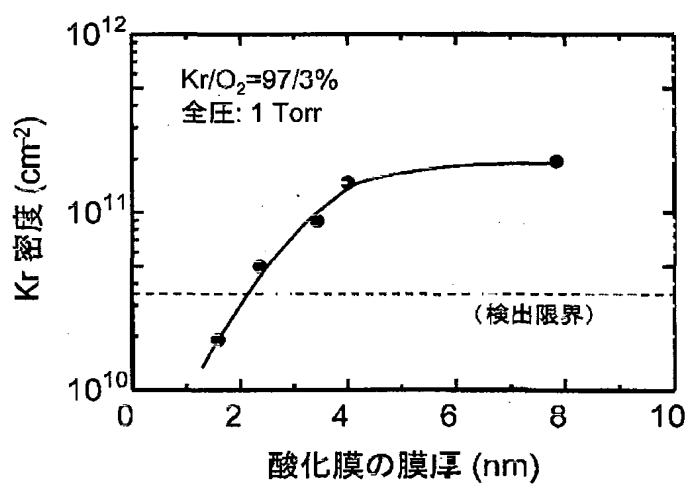


【圖12】

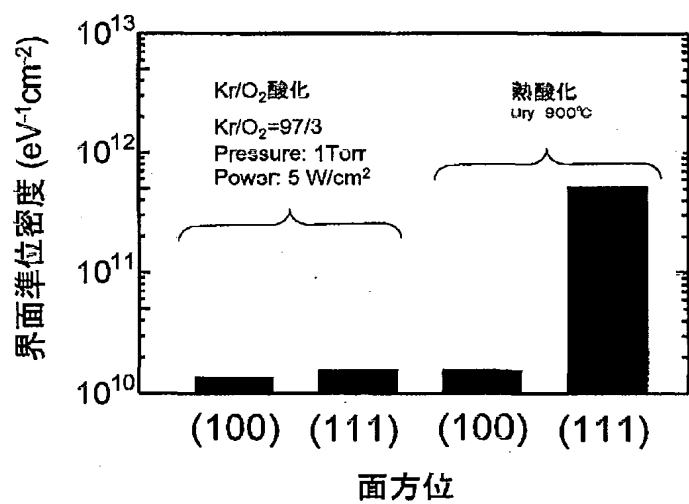


(続3) 01-160555 (P2001-160555A)

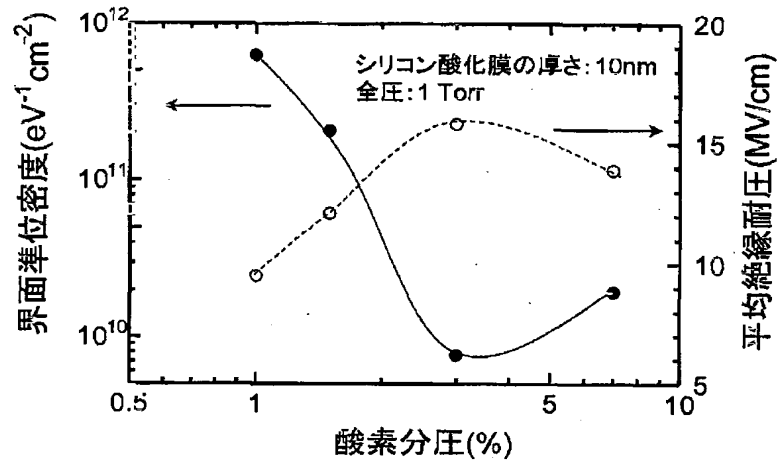
【図4】



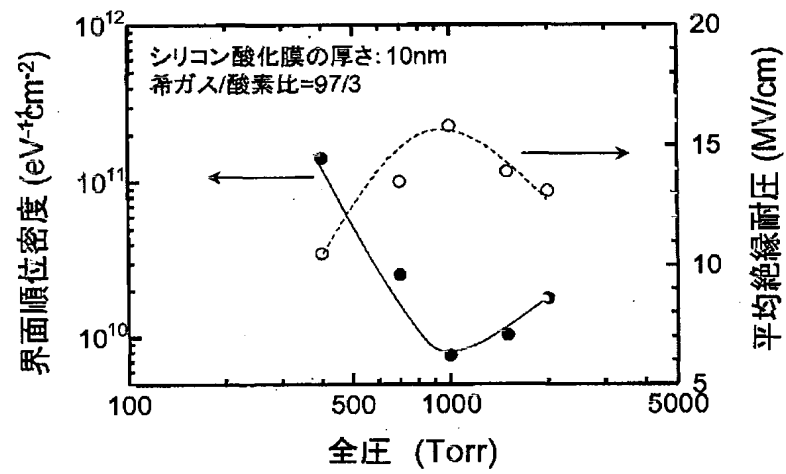
【図5】



【図6】

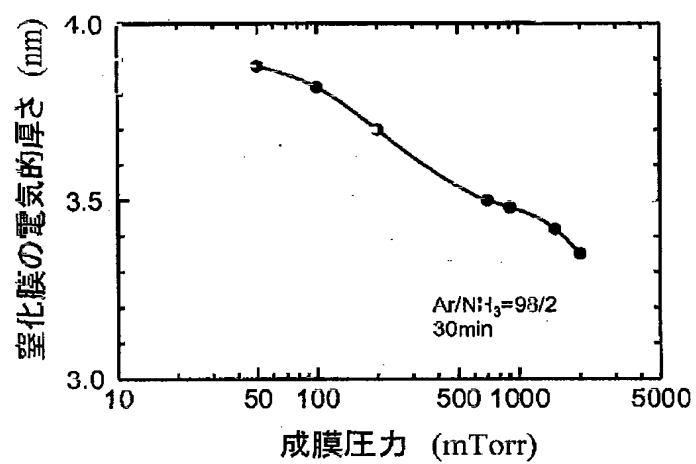


【図7】

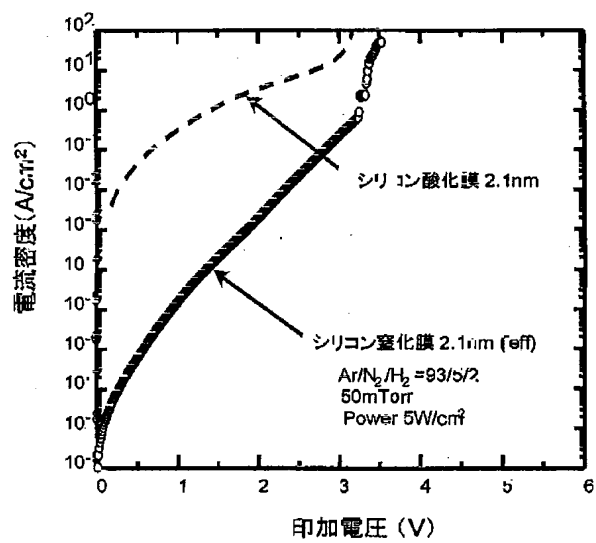


(特許)01-160555 (P2001-160555A)

【図8】

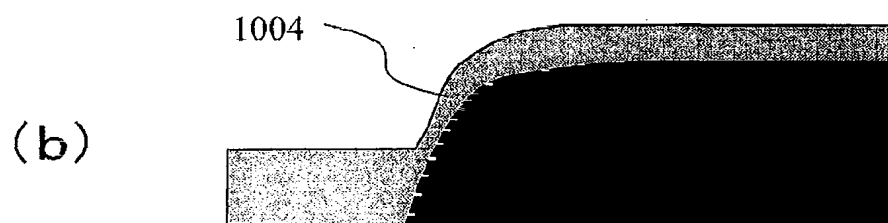
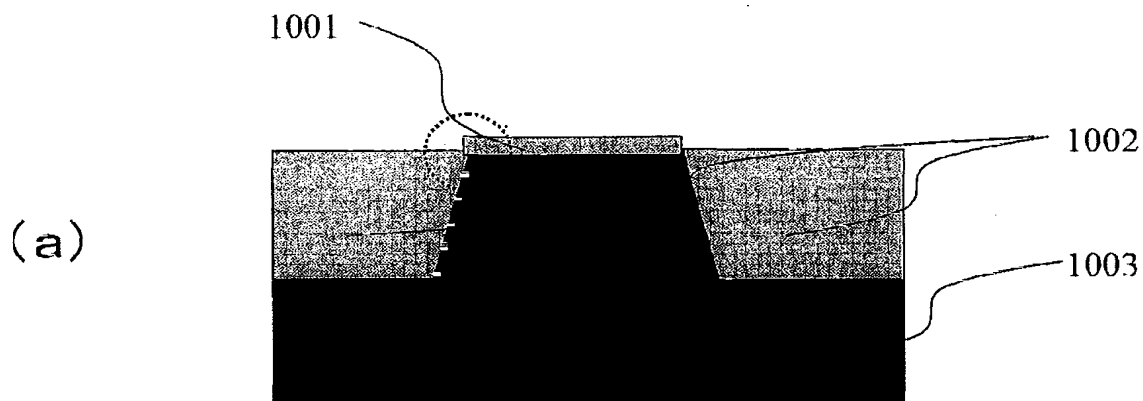


【図9】

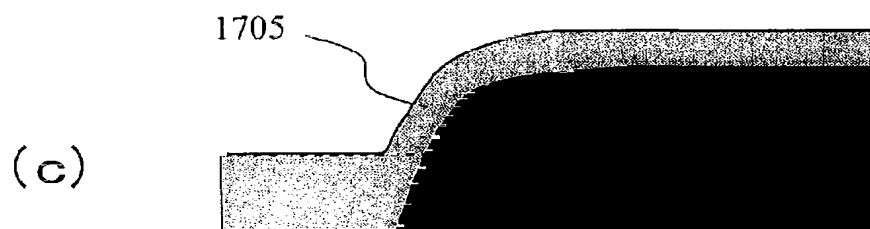


(特 6) 01-160555 (P2001-160555A)

【図10】

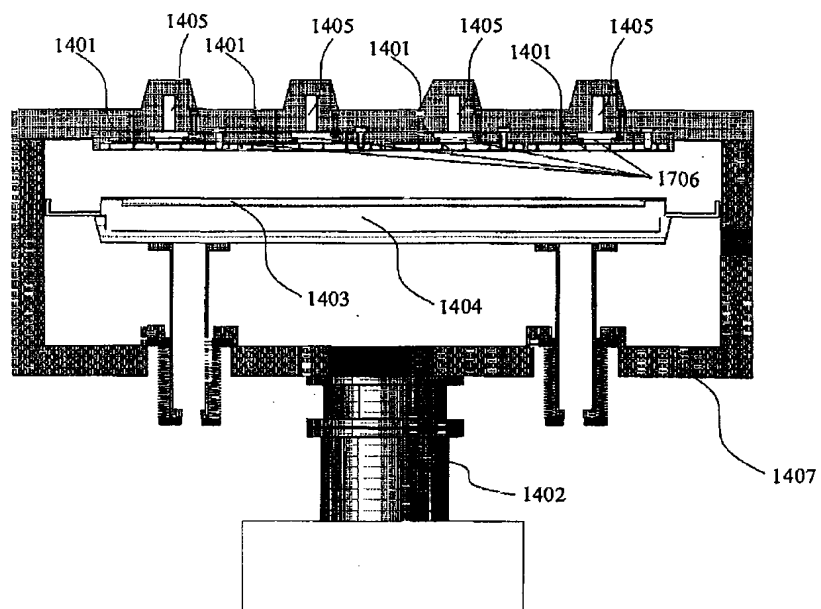
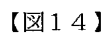


従来例



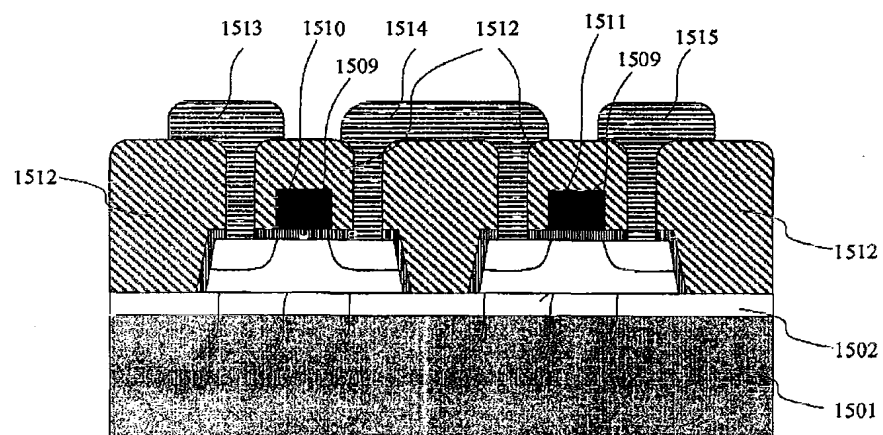
本発明

【图 13】



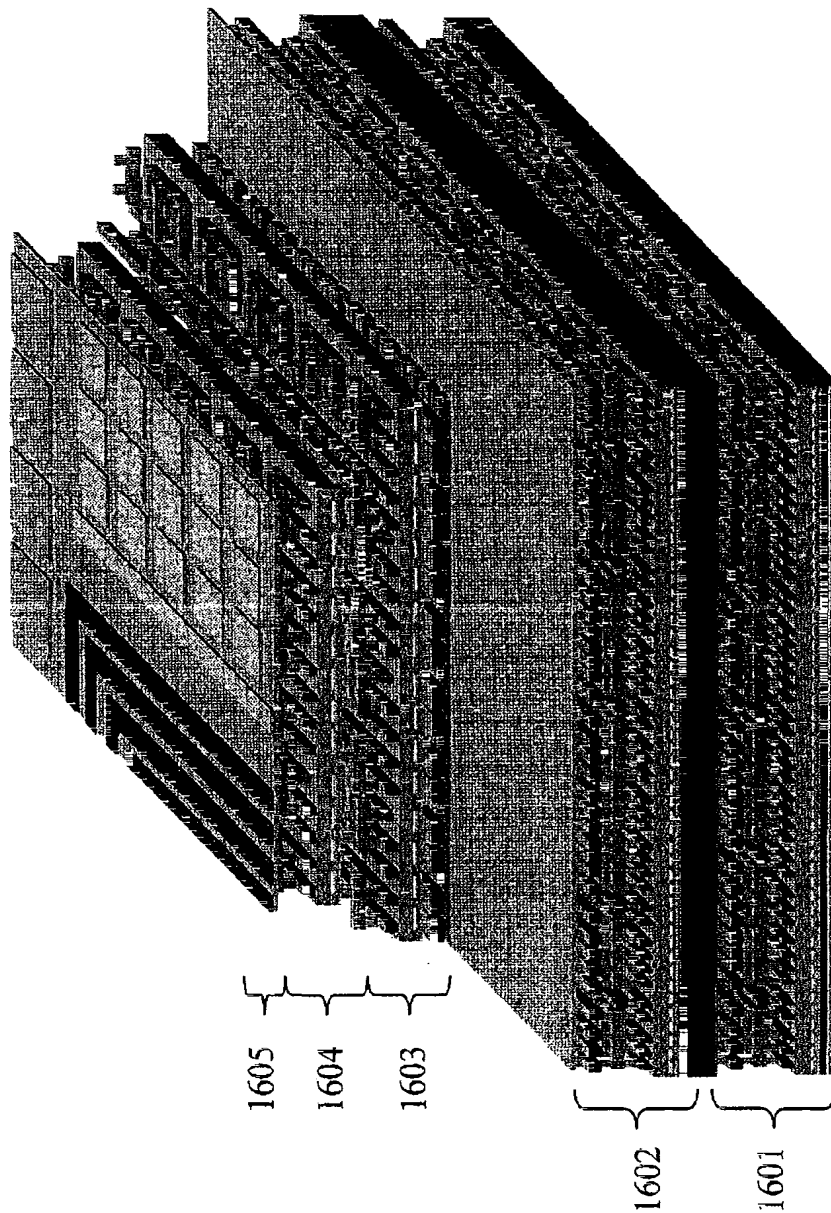
(8) 01-160555 (P2001-160555A)

【図15】



(特) 01-160555 (P2001-160555A)

【図16】



フロントページの続き

(72)発明者 斎藤 祐司
宮城県仙台市青葉区荒巻字青葉05 東北大
学大学院工学研究科電子工学専攻内

Fターム(参考) 5F058 BA11 BB10 BC02 BC03 BC08
BD04 BF54 BF73 BF74 BF80